

先端半導体デバイスにおける 多層配線技術と2.5D/3Dデバイス集積化技術

- ◆日時: 2025年07月24日(木) 10:30~17:00
- ◆会場: 【WEB限定セミナー】※在宅、会社にながらセミナーを受けられます
- ◆聴講料: 1名につき55,000円(税込、資料付)

※会員登録(無料)をしていただいた方には下記の割引・特典を適用します。
 ・1名でお申込みされた場合、1名につき**49,500円(税込)**
 ・2名同時でお申し込みされた場合、**2人目は無料(2名で55,000円(税込))**

セミナーお申込みFAX

03-5857-4812

※お申込み確認後は弊社よりご連絡いたします。

●講師: 名古屋大学 未来社会創造機構 客員教授 兼 技術コンサルタント(半導体分野) 柴田 英毅 氏

本講ではこれまでの多層配線技術の歴史の変遷を振り返るとともに、Cuダマシ配線の製造プロセスや微細化に伴う配線抵抗増大の課題について詳しく解説した上で、Cu代替金属材料(Co, Ru, Mnなど)やナノカーボン材料(CNT、グラフェン)の最新の開発動向について述べる。

1. 多層配線技術の役割とスケーリング, 材料・構造・プロセスの変遷
 - 1.1 多層配線の役割と要求, 階層構造, フロアプランの実例
 - 1.2 配線長分布と配線階層(Local, Intermediate, (Semi-)Global)毎のRC寄与度の違い
 - 1.3 下層(Local)・中層(Intermediate)及び上層((Semi-)Global)配線のスケーリング理論
 - 1.4 多層配線技術の進化の足跡
 - 1.5 配線・コンタクト・Viaホール材料・構造・プロセスの変遷
2. 微細Cuダマシ配線技術及びPost-Cu配線形成技術の基礎～最新動向
 - 2.1 配線プロセスの変遷(AI-RIE⇒Cuダマシ)
 - 2.2 金属材料の物性比較とCu選定の考え方
 - 2.3 Cu酸化拡散防止膜(バリアメタル)の要件と材料候補(Ta(N), Ti(N), Nb(N), W(N))
 - 2.4 Ta(N)の課題(対Cu濡れ性, 酸化性)とTi(N)の優位性
 - 2.5 バリアメタル及びSeedスパッタ法の変遷と課題
 - 2.6 CVD-Ru, Co, RuCoライナーによるCu埋め込み性の改善
 - 2.7 Mnを利用した超薄膜バリア(MnSixOy)自己形成技術
 - 2.8 Cu電解めっきプロセスの概要と無電解法, Cuリフロー法, MOCVD法との比較, Additiveの重要性, 役割, 選定手法
 - 2.9 CMPプロセスの概要と研磨スラリーの種類, 適用工程の拡大
 - 2.10 Cu-CMPにおける低機械強度Low-k対応施策(低荷重, 複合粒子スラリー, Pad表面改質)
 - 2.11 Cuダマシ配線における微細化・薄膜化による抵抗増大
 - 2.12 平均自由行程からみたCu代替金属材料候補の考え方
 - 2.13 W, Co, Ru, Mo, Ni, Al₂Cu, NiAl, CuMgなどの最新開発動向から見た有力候補
 - 2.14 金属配線の微細化限界についての考察とナノカーボン材料への期待
 - 2.15 多層CNT(MWCNT)によるViaホールへの埋め込みと課題
 - 2.16 多層グラフェン(MLG)による微細配線形成と低抵抗化検討結果
3. 低誘電率(Low-k/Air-Gap)絶縁膜形成技術の基礎～最新動向
 - 3.1 Cu配線に用いられている絶縁膜の種類と役割
 - 3.2 各種配線パラメータの容量に対する感度解析結果
 - 3.3 ITRS(国際半導体技術ロードマップ委員会)Low-kロードマップの課題と大改訂
 - 3.4 比誘電率(k)低減化の手法と材料候補(SiOF, MSQ/SiOC, PAr, BCBなど)
 - 3.5 層間絶縁膜(ILD)構造の比較検討(Monolithic vs. Hybrid)
- 3.6 材料物性から見たLow-k材料の課題(低機械強度, 低プラズマダメージ耐性など)
- 3.7 Porous材料におけるPore分布の改善とEB/UV-Cure技術の適用効果
- 3.8 Porous材料におけるダメージ修復技術の効果
- 3.9 Pore後作りプロセスの提案とLow-k材料の適用限界の考察
- 3.10 Air-Gap技術の導入の考え方と構造・方式の比較、課題、現実的な解
4. ウェハ裏面への電源供給配線網(BS-PDN, PowerVia, SPR)の形成技術の最新動向
 - 4.1 ウェハ裏面への電源供給配線網(BS-PDN)形成の経緯・背景と特徴、課題
 - 4.2 埋め込み電源線(BPR)と裏面の電源供給配線網(BS-PDN)の接続形態と構造
 - 4.3 BS-PDNを形成するための貼合プロセス例と接続断面構造
 - 4.4 BS-PDNにおける回路ブロック面積及びIRドロップの低減効果
 - 4.5 IntelによるPowerViaの概要と特徴, テストチップの評価結果, 20A世代からの採用計画
 - 4.6 TSMCもA16世代からSPRを採用へ、Samsungも2nm世代(SF2Z)からBSPDNを採用へ
5. 2.5D/3Dデバイス集積化技術の基礎～最新動向
 - 5.1 Si貫通孔(TSV)によるデバイス集積化のメリット
 - 5.2 TSVを用いた3次元チップ積層の実例(DRAM/HBM, NAND/SSD)
 - 5.3 メモリデバイスにおける積層化ロードマップ(チップ積層⇒ウェハ積層(貼合))
 - 5.4 ウェハレベル貼合技術の種類と比較, 有力候補
 - 5.5 ウェハレベル貼合技術の課題と対策(貼合の低温化, 貼合前平坦化, ベベル制御)
 - 5.6 チップレット技術による異種デバイス集積化とMooreの法則の継続
 - 5.7 各種チップレット技術(CoWoS, InFO, EMIB, Foverosなど)の概要と特徴
 - 5.8 各社のチップレット技術の整理と業界団体「UCIe」の設立
 - 5.9 国内のコンソーシアム設立の動き(「PSB」, 「BB Cube 3D」, 「ASRA」, 「SATAS」)
 - 5.10 ウェハレベルパッケージ(FO-WLP)技術の特長と変遷, 代表的なプロセス
 - 5.11 FO-WLPとPLPの使い分け, FO-PLPの要求仕様
 - 5.12 FO-PLPにおける微細再配線(RDL)の低コスト形成プロセスの候補
 - 5.13 5G以降の高周波対応低伝送損失絶縁材料の候補
 - 5.14 パッケージ基板の最新開発動向(樹脂・シリコン基板⇒ガラス基板)
 - 5.15 CoC, CoW, WoWの主要アプリとPros/Cons, 先進パッケージ技術のロードマップと市場動向
6. 総括

『先端半導体デバイス【WEBセミナー】』セミナー申込書

会社・大学			
住所	〒		
電話番号		FAX	

● Webセミナーの受講申込みについて ●

必要事項をご明記の上、FAXでお申込み下さい。弊社で確認後、必ず受領のご連絡をいたしまして、別途視聴用のURLをメールにお送りいたします。

セミナーお申込み後のキャンセルは基本的にお受けしておりませんので、ご都合により出席できなくなった場合は代理の方がご出席ください。

お申込み・振込に関する詳細はHPをご覧ください。
⇒ <https://www.rdsc.co.jp/pages/entry>

個人情報保護方針の詳細はHPをご覧ください。
⇒ <https://www.rdsc.co.jp/pages/privacy>

会員登録(無料) ※案内方法を選択してください。複数選択可。 Eメール 郵送



株式会社 R & D 支援センター

〒135-0016 東京都江東区東陽3-23-24 VORT東陽町ビル7階
TEL) 03-5857-4811 FAX) 03-5857-4812 URL) <https://www.rdsc.co.jp/>